

(19)日本国特許庁 ( J P )

(12) 公 開 特 許 公 報 ( A )

(11)特許出願公開番号  
特開2002-344264  
( P2002-344264A )

(43)公開日 平成14年11月29日 (2002. 11. 29)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード <sup>*</sup> (参考)
H 0 3 F 3/68		H 0 3 F 3/68	B 5 J 0 6 6
1/26		1/26	5 J 0 6 9
3/45		3/45	A 5 J 0 9 2

審査請求 未請求 請求項の数1 O L (全 8 頁)

(21)出願番号	特願2001-150185(P2001-150185)	(71)出願人	000116024 ローム株式会社 京都府京都市右京区西院溝崎町21番地
(22)出願日	平成13年 5 月18日 (2001. 5. 18)	(72)発明者	堀本 昌志 京都市右京区西院溝崎町21番地 ローム株式会社内
		(74)代理人	100083231 弁理士 紋田 誠 (外1名)

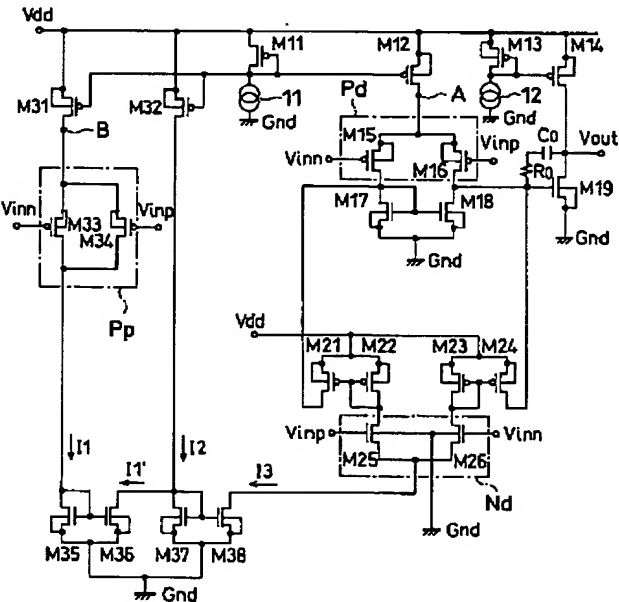
最終頁に続く

(54)【発明の名称】 増幅器

(57)【要約】

【課題】 トランジスタ差動対を有する増幅器において、入力ダイナミックレンジを拡大するとともに、出力ノイズを低減すること。

【解決手段】 P型トランジスタ差動対を持つ増幅回路部と、N型トランジスタ差動対を持つ増幅回路部とを有し、入力レベルが所定値より低いときはP型トランジスタ差動対を持つ増幅回路部のみを動作させ、入力レベルが所定値より高いときはN型トランジスタ差動対を持つ増幅回路部を動作させる。



## 【特許請求の範囲】

【請求項 1】 P 型トランジスタ差動対を持つ増幅回路部と、N 型トランジスタ差動対を持つ増幅回路部とを有し、

入力レベルが所定値より低いときは P 型トランジスタ差動対を持つ増幅回路部のみを動作させ、入力レベルが所定値より高いときは N 型トランジスタ差動対を持つ増幅回路部を動作させるように構成したことを特徴とする増幅器。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、差動増幅回路を有しアナログ信号を増幅するように半導体集積回路装置に形成された増幅器に関する。

## 【0002】

【従来の技術】 従来から、音声コーデックや、Hi-Fi オーディオ、携帯電話の音声装置用等に、アナログ信号を増幅するために差動増幅回路を有したオペアンプなどの増幅器が半導体集積回路装置に形成されている。

【0003】 このオペアンプなどの増幅器では、差動増幅回路の差動対として、P チャンネル型 MOSFET (以下、P 型トランジスタ) を用いたものや、N チャンネル MOSFET (以下、N 型トランジスタ) を用いたものが使用されている。しかし、P 型トランジスタ、N 型トランジスタのいずれのチャンネル型の差動対においても、入力信号の振幅値の上限側或いは下限側において、入力ダイナミックレンジが制限されることから、広い入力ダイナミックレンジを必要とされる場合には、P 型トランジスタと N 型トランジスタの両方の差動対を使用して、入力ダイナミックレンジを拡大するように構成される。

【0004】 図 5 は、P 型トランジスタと N 型トランジスタの両方の差動対を使用した従来のオペアンプの回路構成を示す図である。図 6 はその使用方法を示す図であり、OP は図 5 のオペアンプである。

【0005】 図 5 において、電源電位  $V_{dd}$  とグランド電位  $G_{nd}$  との間にゲートとドレインが接続された P 型トランジスタ M11 と定電流源 11 が接続され、その接続点の定電位が P 型トランジスタ M12 のゲートに印加され、P 型トランジスタ M12 は定電流で動作する。同様に、電源電位  $V_{dd}$  とグランド電位  $G_{nd}$  との間にゲートとドレインが接続された P 型トランジスタ M13 と定電流源 12 が接続され、その接続点の定電位が P 型トランジスタ M14 のゲートに印加され、P 型トランジスタ M14 は定電流で動作する。

【0006】 反転入力  $V_{inn}$  が入力される P 型トランジスタ M15 と正相入力  $V_{inp}$  が入力される P 型トランジスタ M16 とで P 型トランジスタ差動対 Pd が構成され、P 型トランジスタ M12 に直列に接続される。この P 型トランジスタ差動対 Pd の負荷として N 型トラン

ジスタ M17 と N 型トランジスタ M18 からなるカレントミラー回路が設けられる。このカレントミラー回路は、N 型トランジスタ M17 のゲートとドレインが接続されて P 型トランジスタ M15 のドレインと接続されるとともに、N 型トランジスタ M18 のゲートにも接続されている。

【0007】 この N 型トランジスタ M18 のドレインが、P 型トランジスタ M16 のドレインに接続されるとともに、P 型トランジスタ M14 と直列に電源電位  $V_{dd}$  とグランド電位  $G_{nd}$  間に接続された N 型トランジスタ M19 のゲートに接続され、N 型トランジスタ M19 のドレインから出力電位  $V_{out}$  が出力される。なお、発振防止用の抵抗  $R_o$ 、コンデンサ  $C_o$  が、N 型トランジスタ M19 のゲート、ドレイン間に接続される。これにより、P 型トランジスタ差動対側の増幅回路部が構成される。

【0008】 N 型トランジスタ差動対側の増幅回路部は、次のように構成される。電源電位  $V_{dd}$  とグランド電位  $G_{nd}$  との間に定電流源 21 と、ゲートとドレインが接続された N 型トランジスタ M28 とが接続され、その接続点の定電位が N 型トランジスタ M27 のゲートに印加され、N 型トランジスタ M27 は定電流で動作する。

【0009】 正相入力  $V_{inp}$  が入力される N 型トランジスタ M25 と反転入力  $V_{inn}$  が入力される N 型トランジスタ M26 とで N 型トランジスタ差動対 Nd が構成され、N 型トランジスタ M27 に直列に接続される。この N 型トランジスタ差動対 Nd の負荷として、N 型トランジスタ M25 のドレインには、ドレインとゲートが接続された P 型トランジスタ M22 が設けられ、さらに P 型トランジスタ M22 のゲートにゲートが接続されドレインが N 型トランジスタ M17 のドレインに接続された P 型トランジスタ M21 が設けられる。また、N 型トランジスタ M26 のドレインには、ドレインとゲートが接続された P 型トランジスタ M23 が設けられ、さらに P 型トランジスタ M23 のゲートにゲートが接続されドレインが N 型トランジスタ M18 のドレインに接続された P 型トランジスタ M24 が設けられる。

【0010】 このように構成されたオペアンプ OP は例えば図 6 のように、その非反転入力端子に、バイアス電圧  $V_b$  に入力信号  $V_{in}$  が重畳されて正相入力  $V_{inp}$  が入力され、また、その反転入力端子に出力電位  $V_{out}$  が反転入力  $V_{inn}$  が入力され、ボルテージ・フォロアを構成している。

【0011】 この従来のオペアンプにおいては、P 型トランジスタ差動対 Pd 側の増幅回路部及び N 型トランジスタ差動対 Nd 側の増幅回路部は両方とも常時動作しているから、正相入力  $V_{inp}$  のレベルが高くなり P 型トランジスタ差動対 Pd 側の増幅回路部の動作に制限が掛かる状況でも、N 型トランジスタ差動対 Nd 側の増幅回

## 3

路部が動作することで、上限側の制限を受けることはない。また、正相入力  $V_{in p}$  のレベルが低くなり N 型トランジスタ差動対 N d 側の増幅回路部の動作に制限が掛かる状況でも、P 型トランジスタ差動対 P d 側の増幅回路部が動作することで、下限側の制限を受けることはない。したがって、P 型トランジスタと N 型トランジスタの両方の差動対を使用することで、入力ダイナミックレンジを拡大している。

## 【0012】

【発明が解決しようとする課題】従来の増幅器では、広い入力ダイナミックレンジを得ることはできるが、出力ノイズ特性が、P 型トランジスタ差動対 P d 側の増幅回路部のみで構成した増幅器に比較して、悪化する傾向が顕著である。

【0013】この出力ノイズ特性が悪化する原因は、N 型トランジスタは P 型トランジスタより、 $1/f$  ノイズ特性が悪いためである。この  $1/f$  ノイズ特性は、出力ノイズの主な部分を占めるフリッカ雑音の周波数特性の形から呼称されている。

【0014】したがって、P 型トランジスタ差動対と N 型トランジスタ差動対の両方を使用して、入力ダイナミックレンジを拡大することは、ノイズ特性とのトレードオフにより、その採用を決めることになる。また、 $1/f$  ノイズを低減するには、トランジスタのサイズ（チャンネル長またはチャンネル長及びチャンネル幅）を大きくすればよいが、そのためには増幅器を作り込む IC の面積が増大してしまい、コストアップの要因となる。

【0015】そこで、本発明は、トランジスタ差動対を有する増幅器において、入力ダイナミックレンジを拡大するとともに、出力ノイズを低減することを目的とする。

## 【0016】

【課題を解決するための手段】請求項 1 記載の増幅器は、P 型トランジスタ差動対を持つ増幅回路部と、N 型トランジスタ差動対を持つ増幅回路部とを有し、入力レベルが所定値より低いときは P 型トランジスタ差動対を持つ増幅回路部のみを動作させ、入力レベルが所定値より高いときは N 型トランジスタ差動対を持つ増幅回路部を動作させるように構成したことを特徴とする。

【0017】この請求項 1 記載の増幅器によれば、P 型トランジスタ差動対を持つ増幅回路部と N 型トランジスタ差動対を持つ増幅回路部とを備え、入力レベルが所定値より低いときは  $1/f$  ノイズの小さい P 型トランジスタ差動対を持つ増幅回路部のみを動作させるから、出力ノイズを低減することができ、また、入力レベルが所定値より高いときは、N 型トランジスタ差動対を持つ増幅回路部を動作させるから、入力のダイナミックレンジを拡大することができる。

## 【0018】

【発明の実施の形態】以下、図面を参照して本発明の増

(3)

特開 2002-344264

## 4

幅器の実施の形態について説明する。

【0019】図 1 は、本発明の実施の形態にかかるオペアンプの構成図であり、半導体集積回路装置（IC）に形成されている。

【0020】図 1 において、従来例の図 5 と同一の構成部分には、同じ符号を付している。すなわち、P 型トランジスタ M11 ~ N 型トランジスタ M19、定電流源 11、定電流源 12、コンデンサ Co、抵抗 Ro、P 型トランジスタ M21 ~ N 型トランジスタ M26 は、図 5 と同じであり、その接続関係も同様となっている。

【0021】図 1 で、図 5 から削除されているものは、図 5 の N 型トランジスタ M27、N 型トランジスタ M28 と定電流源 21 である。

【0022】一方、図 1 において、新たに付加されたものは、P 型トランジスタ M31 ~ N 型トランジスタ M38 である。P 型トランジスタ M31 及び P 型トランジスタ M32 は、ソースが電源電位  $V_{dd}$  に接続され、ゲートが P 型トランジスタ M11 のドレインの定電位点に接続され、それぞれ定電流源として動作する。ここで P 型トランジスタ M31 の定電流値を  $I_1$  とし、P 型トランジスタ M32 の定電流値を  $I_2$  とする。

【0023】P 型トランジスタ M33 と P 型トランジスタ M34 は、ソース同士、ドレイン同士が接続され、そのソースは P 型トランジスタ M31 のドレインに接続され、P 型トランジスタ並列体 Pp を構成する。それらのゲートには正相入力  $V_{in p}$  及び反転入力  $V_{in n}$  が印加される。この P 型トランジスタ M33 と P 型トランジスタ M34 を、P 型トランジスタ差動対 Pd を構成する P 型トランジスタ M15、P 型トランジスタ M16 と同じサイズのものを使用すると、ゲートに同じ正相入力  $V_{in p}$  及び反転入力  $V_{in n}$  が印加されるから、同様の動作をすることになる。この作用を利用して、P 型トランジスタ M15、M16 即ち P 型トランジスタ差動対 Pd の動作限界点を、P 型トランジスタ並列体 Pp の動作により検出することができる。

【0024】又、P 型トランジスタ並列体 Pp を構成する P 型トランジスタ M33 と P 型トランジスタ M34 のサイズを異ならせてその動作限界点が、P 型トランジスタ差動対 Pd を構成する P 型トランジスタ M15、M16 の動作限界点よりも少し低くなるように特性を調整した場合には、P 型トランジスタ並列体 Pp を、P 型トランジスタ差動対 Pd よりも低い電位点で動作がオフになるように設定することができる。

【0025】N 型トランジスタ M35 と N 型トランジスタ M36 は、ゲート同士が接続され、また N 型トランジスタ M35 のドレインとゲートが接続されて、カレントミラー回路を構成している。N 型トランジスタ M35 のドレインが P 型トランジスタ M33、M34 のドレインに接続されるから、N 型トランジスタ M35 の電流  $I_1$  と等しい電流が N 型トランジスタ M36 に流れる。

50

(4)

特開 2002-344264

5

【0026】N型トランジスタM37とN型トランジスタM38は、ゲート同士が接続され、またN型トランジスタM37のドレインとゲートが接続されて、カレントミラー回路を構成している。N型トランジスタM37のドレインがP型トランジスタM32のドレイン及びN型トランジスタM36のドレインに接続されるから、定電流源であるP型トランジスタM32の電流 $I_2$ は、N型トランジスタM36またはN型トランジスタM37に流れる。N型トランジスタM37に流れる電流と等しい電流がN型トランジスタM38に流れる。N型トランジスタM38のドレインは、N型トランジスタ差動対NdのN型トランジスタM25、M26のソースに接続されるから、N型トランジスタM38に電流が流れるかどうかに応じて、N型トランジスタ差動対Ndが動作可能になるかどうかが決まる。なお、以上の各カレントミラー回路では、各トランジスタの特性が等しいものと仮定している。

【0027】本発明の実施の形態にかかるオペアンプの動作を、図1の回路構成図と図2の動作状況説明図を参照して、以下説明する。尚、図2(a)は、P型トランジスタM33とP型トランジスタM34で構成されるP型トランジスタ並列体PpをP型トランジスタ差動対Pdと同じ動作限界点の特性に設定した場合の動作状況を示しており、図2(b)は、P型トランジスタ並列体Ppの動作限界点をP型トランジスタ差動対Pdよりも低い特性に設定した場合の動作状況を示している。

【0028】この図1においても、オペアンプOPは前述の図6のように、その非反転入力端子に、バイアス電圧 $V_b$ に入力信号 $V_{in}$ が重畳されて正相入力 $V_{inp}$ が入力され、また、その反転入力端子に出力電位 $V_{out}$ が反転入力 $V_{inn}$ として入力され、ボルテージ・フォロアを構成しているものとして説明する。尚、この使用形態に限らず、その他の使用形態にも同様に適用することができる。

【0029】まず、P型トランジスタ並列体PpをP型トランジスタ差動対Pdと同じ動作限界点の特性に設定した場合について説明する。

【0030】図2(a)の区間イのように、正相入力 $V_{inp}$ のレベルが所定のレベル $V_1$ より低いときには、P型トランジスタM12は定電流動作をしており、P型トランジスタ差動対PdはN型トランジスタM17、N型トランジスタM18のカレントミラー回路と協働して、正相入力 $V_{inp}$ に応じた出力電位 $V_{out}$ を出力している。

【0031】このとき、P型トランジスタ並列体PpのP型トランジスタM33、P型トランジスタM34は導通(オン)しており、P型トランジスタM31、P型トランジスタM32とともに定電流動作をしている。P型トランジスタM31からの定電流 $I_1$ がN型トランジスタM35に流れるからN型トランジスタM36の電流 $I$

6

$I_1'$ は等しくなる( $I_1 = I_1'$ )。P型トランジスタM32の電流 $I_2$ は、 $I_1$ と同じに設定されているから、電流 $I_2$ は、全てN型トランジスタM36に吸収され、N型トランジスタM37のゲート電圧は低レベルになるのでN型トランジスタM37には電流が流れない。したがって、N型トランジスタM37とカレントミラー回路を構成しているN型トランジスタM38にも電流は流れず、電流 $I_3$ は零であるから、N型トランジスタ差動対Nd側の増幅回路部は、動作していない。

10 【0032】このように、正相入力 $V_{inp}$ のレベルが所定のレベル $V_1$ より低いときには、N型トランジスタ差動対Nd側の増幅回路部は動作せず、P型トランジスタ差動対Pd側の増幅回路部のみ動作している。したがって、 $1/f$ ノイズの大きいN型トランジスタ差動対が動作していないから、全体としてのノイズ発生量は低減される。一方、P型トランジスタ差動対Pd側の増幅回路部は、正相入力 $V_{inp}$ が低い値であっても動作を行うから、低振幅側へのダイナミックレンジは制限されることなく確保されている。

20 【0033】正相入力 $V_{inp}$ のレベルが低い値から上昇し、この正相入力 $V_{inp}$ に、P型トランジスタM16のスレッショルド電圧 $V_{th}$ (m16)及びP型トランジスタM12の飽和電圧 $V_{sat}$ (m12)を加算した電位が、電源電位 $V_{dd}$ 以上、即ち「 $V_{inp} + V_{th}(m16) + V_{sat}(m12) \geq V_{dd}$ 」になると、P型トランジスタM12は定電流動作を維持できなくなり、その結果P型トランジスタM15及びP型トランジスタM16からなるP型トランジスタ差動対Pdは動作しなくなる。つまり、A点の電位は、P型トランジスタM12が定電流源として動作できるだけ、電源電位 $V_{dd}$ よりも低い電位にあることが必要である。このP型トランジスタ差動対Pdが動作できなくなる正相入力 $V_{inp}$ のレベル $V_1$ が、P型トランジスタ差動対Pd側の増幅回路部の動作限界点となる。

30 【0034】正相入力 $V_{inp}$ と反転入力 $V_{inn}$ は、P型トランジスタ並列体PpのP型トランジスタM33、M34のゲートにも供給されており、ここではP型トランジスタ並列体PpのP型トランジスタM33とP型トランジスタM34をP型トランジスタ差動対PdのP型トランジスタM15とP型トランジスタM16と同じ動作限界点の特性に設定しているから、正相入力 $V_{inp}$ がレベル $V_1$ になった時点で、P型トランジスタ並列体PpのP型トランジスタM33とP型トランジスタM34はオフすることになる。そして、N型トランジスタM35、N型トランジスタM36の電流 $I_1$ 、 $I_1'$ は零になり、N型トランジスタM36には定電流 $I_2$ が流れ、カレントミラー動作によりN型トランジスタM38に定電流 $I_3$ が流れる。

50 【0035】このN型トランジスタM38の定電流 $I_3$ は、N型トランジスタ差動対Nd側の増幅回路部の動作

電流であるから、これによりN型トランジスタ差動対Nd側の増幅回路部はその動作を開始する。図2(a)で見ると、図中ロの区間に当たる。即ち、正相入力 $V_{in p}$ が所定のレベル $V_1$ 未満では、図中イ区間のようにP型トランジスタ差動対Pd側の増幅回路部のみが動作し、所定のレベル $V_1$ 以上では、後述のような切り替わり動作により、図中ロ区間のようにN型トランジスタ差動対Nd側の増幅回路部が動作する。

【0036】このように、正相入力 $V_{in p}$ のレベルが所定のレベル $V_1$ 以上になると、P型トランジスタ差動対Pd側の増幅回路部の動作が制限されても、N型トランジスタ差動対Nd側の増幅回路部が動作する。したがって、正相入力 $V_{in p}$ のレベルが高いときには上限方向で動作が制限されないN型トランジスタ差動対が動作するから、入力ダイナミックレンジを大きく採ることができる。又、 $1/f$ ノイズの大きいN型トランジスタ差動対が動作するのは、信号レベルが高い間だけであるから、信号対雑音比 $S/N$ としては問題にならない。又、正相入力 $V_{in p}$ のレベルが高いときだけ、N型トランジスタ差動対Nd側の増幅回路部が動作するから、入力レベルが低いときの消費電流を従来より少なくすることができる。

【0037】このP型トランジスタ差動対Pd側の増幅回路部とN型トランジスタ差動対Nd側の増幅回路部との動作切り替わりは、厳密には電流は徐々に変化して切り替わるから増幅動作が不連続になることはない。

【0038】以上の動作状態時における各点の波形を図3に示している。図3では横軸に共通に時間を取り、出力電位 $V_{out}$ 、P型トランジスタ並列体PpのP型トランジスタM33、P型トランジスタM44のソース電位(B点電位)、N型トランジスタM35の電流 $I_1$ 及びN型トランジスタM38の電流 $I_3$ を、それぞれ示している。B点電位は、電源電位 $V_{dd}$ の近い電位でクリップされることが示されており、電流 $I_1$ 及び電流 $I_3$ がB点電位のクリップ動作と同じタイミングで逆に変化することが示されている。即ち、B点電位がクリップされている期間は、電流 $I_1$ が零で、電流 $I_3$ が定電流 $I_2$ だけ流れて、N型トランジスタ差動対Ndが動作し、P型トランジスタ差動対Pdは不動作となる。また、B点電位がクリップされていない期間は、電流 $I_1$ が流れて、電流 $I_3$ は零となり、P型トランジスタ差動対Pdが動作し、N型トランジスタ差動対Ndは不動作となる。

【0039】又、図4は、周波数とノイズレベルの特性を示す図であり、横軸に対数表示の周波数を採り、縦軸にデシベル表示のノイズレベルを示している。図中

(a)が従来例の増幅器の特性であり、図中(b)が本発明の増幅器の特性であり、いずれもある特定の共通の回路条件でのものである。この図では、いずれの特性も周波数に対して $1/f$ の特性を示しているが、そのノイ

ズレベルは、本発明の増幅器の特性(b)のノイズレベルが、例えば10Hzにおいて約8dB改善されるなど、従来例の増幅器の特性(a)のノイズレベルよりも、一段と低減されている。

【0040】更に、 $1/f$ ノイズを一層低減する必要がある場合には、P型トランジスタ差動対Pd側のトランジスタのみのサイズを大きくするだけで良いから、回路面積的にも有効である。

【0041】次に、P型トランジスタM33とP型トランジスタM34で構成されるP型トランジスタ並列体Ppの動作限界点を、P型トランジスタ差動対Pdの動作限界点よりも低い特性に設定した場合について、図2(b)をも参照して説明する。

【0042】この場合、P型トランジスタ並列体Ppを構成するP型トランジスタM33とP型トランジスタM34のサイズを、P型トランジスタ差動対Pdを構成するP型トランジスタM15、P型トランジスタM16のサイズと異ならせて、その動作限界点のレベル $V_2$ がP型トランジスタ差動対Pdの動作限界点のレベル $V_1$ よりも少し低くなるように特性を調整する。

【0043】P型トランジスタ差動対Pd側の増幅回路部の動作が制限される正相入力 $V_{in p}$ のレベル $V_1$ よりも低いレベル $V_2$ になった時点で、P型トランジスタ並列体PpのP型トランジスタM33とP型トランジスタM34はオフする。そして、N型トランジスタM35、N型トランジスタM36の電流 $I_1$ 、 $I_1'$ は零になり、N型トランジスタM36には定電流 $I_2$ が流れ、カレントミラー動作によりN型トランジスタM36に定電流 $I_3$ が流れる。このN型トランジスタM36の定電流 $I_3$ は、N型トランジスタ差動対Nd側の増幅回路部の動作電流であるから、これによりN型トランジスタ差動対Nd側の増幅回路部はその動作を開始する。

【0044】したがって、図2(b)に示されるように、P型トランジスタ差動対Pd側の増幅回路部は図2(a)と同様に区間Iで動作し、区間ロでは動作が制限される一方、N型トランジスタ差動対Nd側の増幅回路部は新たに区間ハで動作し、区間ニで不動作に設定される。即ち、P型トランジスタ差動対Pd側の増幅回路部の動作域とN型トランジスタ差動対Nd側の増幅回路部の動作域とが、正相入力 $V_{in p}$ のレベル $V_1$ とレベル $V_2$ との間で重畳されることになり、切換時の不連続性は確実に解消される。なお、重畳される動作域はノイズ低減の観点から狭い方が好ましい。

【0045】また、以上の実施の形態において、P型トランジスタ並列体Ppとして、P型トランジスタM33又はP型トランジスタM34のいずれか一方のみを用いて構成することができる。

【0046】また、P型トランジスタ及びN型トランジスタとして、PNP型バイポーラトランジスタ及びNP型バイポーラトランジスタを用いることができる。

## 【0047】

【発明の効果】請求項1記載の増幅器によれば、P型トランジスタ差動対を持つ増幅回路部とN型トランジスタ差動対を持つ増幅回路部とを備え、入力レベルが所定値より低いときは $1/f$ ノイズの小さいP型トランジスタ差動対を持つ増幅回路部のみを動作させるから、出力ノイズを低減することができ、また、入力レベルが所定値より高いときは、N型トランジスタ差動対を持つ増幅回路部を動作させるから、入力のダイナミックレンジを拡大することができる。

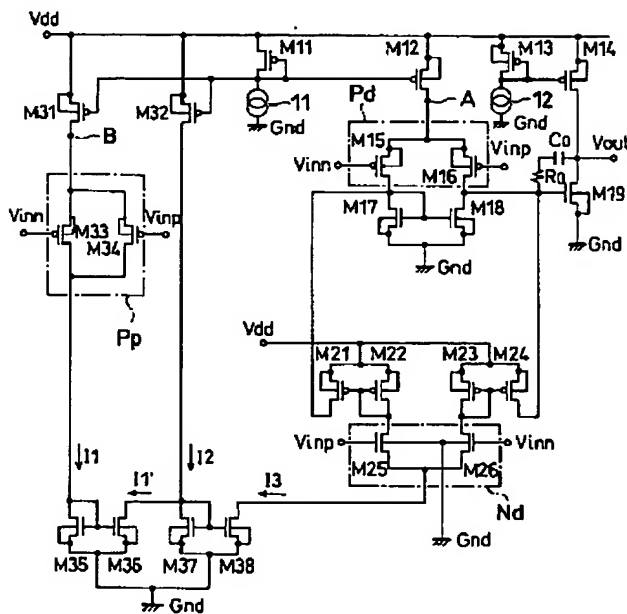
## 【図面の簡単な説明】

【図1】本発明の実施の形態にかかるオペアンプの構成図。

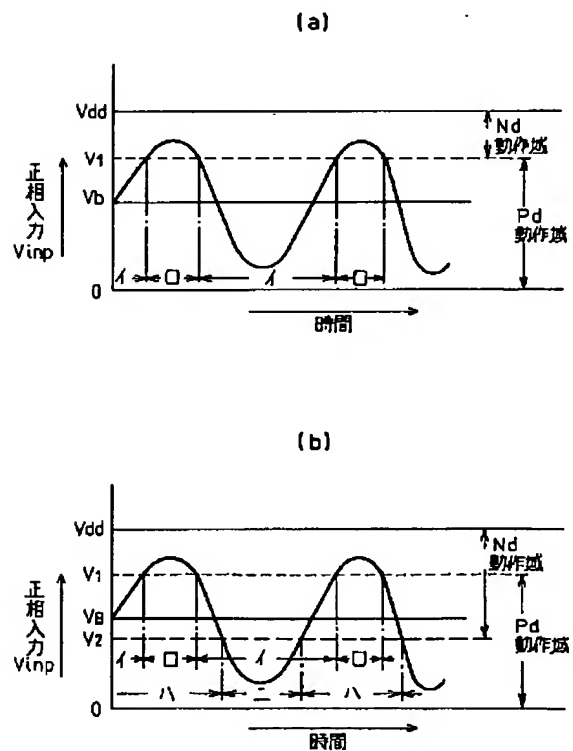
【図2】その動作状況説明図。

【図3】動作状態時における各点の波形を示す図。

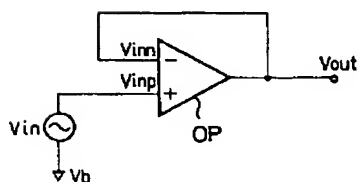
【図1】



【図2】



【図6】



【図4】周波数-ノイズレベルの特性を示す図。

【図5】従来のオペアンプの構成図。

【図6】オペアンプの使用方法を示す図。

## 【符号の説明】

Pd P型トランジスタ差動対

Nd N型トランジスタ差動対

Pp P型トランジスタ並列体

M11~M16, M21~M24, M31~M34 P型トランジスタ

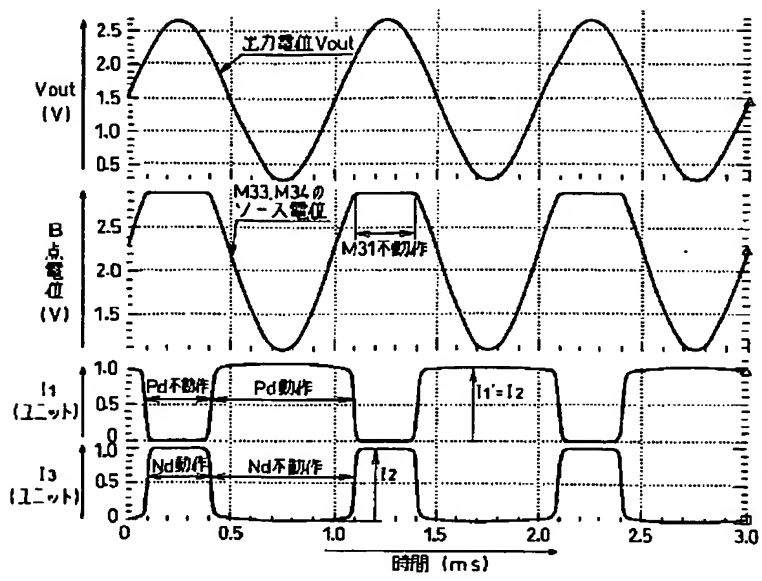
M17~M19, M25~28, M35~M38 N型トランジスタ

I1, I2 定電流源

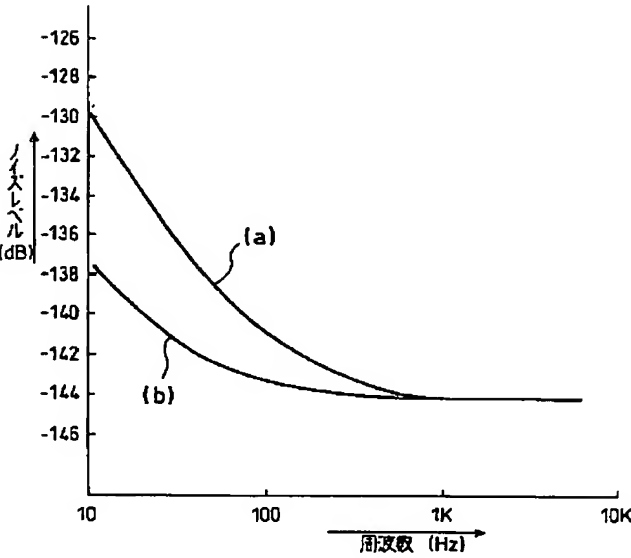
Vinp 正相入力

Vinn 反転入力

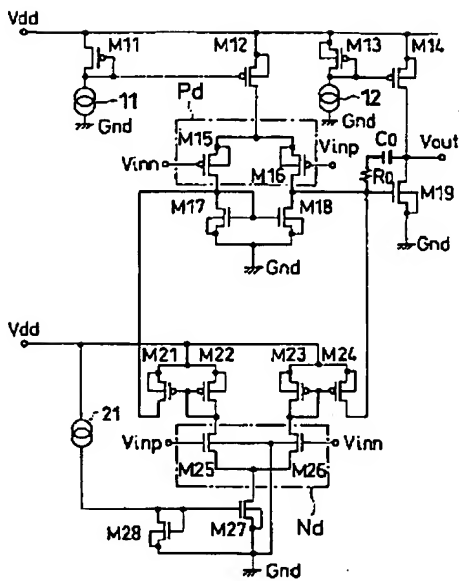
【図 3】



【図 4】



【図 5】



フロントページの続き

F ターム(参考) 5J066 AA02 AA47 CA32 CA41 FA18  
HA08 HA10 HA17 HA25 HA29  
HA39 KA02 KA05 KA09 MA05  
MA21 TA01 TA03 TA06  
5J069 AA02 AA47 CA32 CA41 FA18  
HA08 HA10 HA17 HA25 HA29  
HA39 KA02 KA05 KA09 MA05  
MA21 TA01 TA03 TA06  
5J092 AA02 AA47 CA32 CA41 FA18  
GR09 HA08 HA10 HA17 HA25  
HA29 HA39 KA02 KA05 KA09  
MA05 MA21 TA01 TA03 TA06